

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

JPA10-304184

(11) Publication number: 10304184 A

(43) Date of publication of application: 13.11.98

(51) Int. Cl.

H04N 1/387
G06T 1/20
H04N 1/21

(21) Application number: 09114603

(71) Applicant: FUJI XEROX CO LTD

(22) Date of filing: 02.05.97

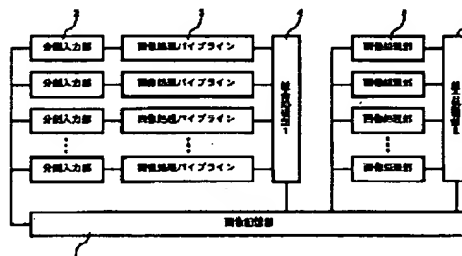
(72) Inventor: NAGAO TAKASHI

(54) IMAGE PROCESSOR AND IMAGE PROCESSING METHOD

(57) Abstract:

PROBLEM TO BE SOLVED: To provide an image processor which can perform both image processings that can be performed independently by partial areas and an image processing requires a wide reference area through parallel processing at a high speed in arbitrary order.

SOLUTION: Divided area data of image data are inputted to divisional input means 2 and image processes that can be performed independently by the divided areas are performed for the inputted divided area data through pipeline processing 3; and the process results of the pipeline processing 3 are integrated. Further, the image process which requires a wide reference area is performed by image processing means 5, whose processing results are integrated. Those different image processings are performed in arbitrary order to achieve fast image processing.



COPYRIGHT: (C)1998,JPO

JPA10-304184

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-304184

(43) 公開日 平成10年(1998)11月13日

(51) Int. Cl. ⁶	識別記号	F I
H04N 1/387		H04N 1/387
G06T 1/20		1/21
H04N 1/21		G06F 15/66
		L

審査請求 未請求 請求項の数 8 O L (全14頁)

(21) 出願番号 特願平9-114603

(22) 出願日 平成9年(1997)5月2日

(71) 出願人 000005496

富士ゼロックス株式会社
東京都港区赤坂二丁目17番22号

(72) 発明者 長尾 隆

神奈川県足柄上郡中井町境430 グリーン
テクなかい 富士ゼロックス株式会社内

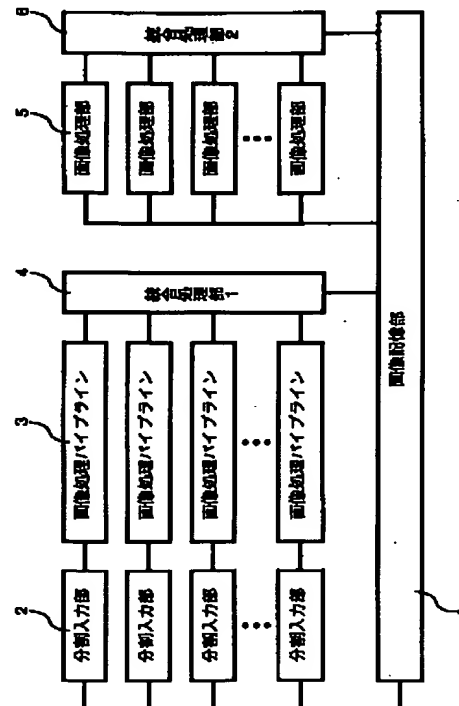
(74) 代理人 弁理士 澤田 俊夫

(54) 【発明の名称】 画像処理装置および画像処理方法

(57) 【要約】

【課題】 部分領域毎に独立に処理可能な画像処理と、広い参照領域を必要とする画像処理の両方を、並列処理により高速かつ任意の順序で処理できる画像処理装置および画像処理方法を提供する。

【解決手段】 画像データの分割領域データを複数の分割入力手段に入力し、入力された分割領域データ各々に対して、分割領域毎に独立に処理可能な画像処理をパイプライン処理により実行し、このパイプライン処理の処理結果を統合する。さらに、広い参照領域を要する画像処理を複数の画像処理手段により実行し、この複数の画像処理手段による処理結果を統合する。これら異なる画像処理を任意の順序で実行することにより高速な画像処理を達成する。



【特許請求の範囲】

【請求項 1】 画像データを格納する画像記憶手段と、前記画像記憶手段に格納された画像データの分割領域データを各々入力する複数の分割入力手段と、前記分割入力手段に入力された分割領域データ各々に対して、分割領域毎に独立に処理可能な画像処理をパイプライン処理により実行する複数の画像処理パイプラインと、

前記複数の画像処理パイプラインの処理結果を統合して前記画像記憶手段に出力する第 1 の統合処理手段と、前記画像記憶手段に格納された画像を読み出して広い参照領域を要する画像処理を行う複数の画像処理手段と、前記複数の画像処理手段の処理結果を統合して前記画像記憶手段に出力する第 2 の統合処理手段とを具備することを特徴とする画像処理装置。

【請求項 2】 前記分割入力手段は、前記画像記憶手段に格納された画像をほぼ同じ画素数毎の領域に分割して入力することを特徴とする、請求項 1 に記載の画像処理装置。

【請求項 3】 前記分割入力手段は、前記画像処理パイプラインの処理の内容に応じて、前記画像記憶手段に格納された画像を一部重複して入力することを特徴とする、請求項 1 に記載の画像処理装置。

【請求項 4】 前記第 1 の統合処理手段は、前記画像処理手段の処理の内容に応じて、前記画像処理パイプラインからの出力を統合する際に、出力画像を外側に所定の画素数分だけ拡張して前記画像記憶手段に格納することを特徴とする、請求項 1 に記載の画像処理装置。

【請求項 5】 前記画像処理手段は、前記画像記憶手段に格納された入力画像の全体を読み出し可能領域とし、出力画像の別々の領域に対応した処理を行うことを特徴とする、請求項 1 に記載の画像処理装置。

【請求項 6】 前記画像処理手段の各々は、処理の内容に応じて対象画素数がほぼ等しくなるように分割された出力画像の各領域に対して処理を行うことを特徴とする、請求項 5 に記載の画像処理装置。

【請求項 7】 少なくとも 1 つのプロセッサを擁するマルチプロセスまたはマルチスレッド処理環境に実現され、前記分割入力手段と前記画像処理パイプラインはその組毎に 1 つずつのプロセスまたはスレッドで処理され、前記画像処理手段はそれぞれに 1 つずつのプロセスまたはスレッドにより処理されることを特徴とする、請求項 1 乃至 6 のいずれかに記載の画像処理装置。

【請求項 8】 画像記憶手段に格納された画像データの分割領域データをそれぞれ複数の分割入力手段へ入力するステップと、

前記分割入力手段に入力された複数の分割領域データ各々について、分割領域毎に独立に処理可能な画像処理を複数の画像処理パイプラインにより並列処理するステップと、

前記複数の画像処理パイプラインの処理結果を統合して前記画像記憶手段に出力するステップと、

前記画像記憶手段に格納された画像を読み出して複数の画像処理手段により、広い参照領域を要する画像処理を行うステップと、

前記複数の画像処理手段による広い参照領域を要する処理の処理結果を統合して前記画像記憶手段に出力するステップと、

を有することを特徴とする画像処理方法。

10 【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は、デジタル化された画像を処理する装置に係り、並列処理により画像を高速に処理することが可能な画像処理装置および画像処理方法に関する。特に、分割画像データ毎に独立可能な処理と、広い参照領域を要する処理とを区別し、それぞれの処理の効率を高めた画像処理装置および画像処理方法に関する。

【 0 0 0 2 】

20 【従来の技術】画像処理装置や画像を入力可能な DTP (デスクトップ・パブリッシング) システム、画像を出力可能なプリントシステムなどでは、大容量の画像に対して拡大・縮小、回転、アフィン変換、フィルタ、色変換などの各種の画像処理が行われる。これらの画像処理は、その負荷が非常に大きく、さらに動画処理などではリアルタイム性が要求されるため、これらの処理をいかに高速に行うかに対して様々な手法が提案されている。

30 【 0 0 0 3 】一般に、画像処理は多くの対象に同じ処理を繰り返すものが多い。このような処理に特に効果が高い手法の一つとして、複数のプロセッサや処理ハードウェアを持ち、画像を複数の部分領域に分割して並列パイプライン処理を行う方法がある。

40 【 0 0 0 4 】図 2 は、そのような並列パイプライン処理システムの一例である。図 2 は特開平 5 - 2 1 9 3 9 0 号公報に述べられているものであり、スキャナから入力された画像データはスプリッターにより各行毎に同じ画素数の N 個の領域に分割され、各々がスレッシュホルダー # 1 ~ # N により 2 値化処理され、さらに圧縮器 # 1 ~ # N により圧縮され、合成器で統合されて出力される。尚、スレッシュホルダーでは近傍画素の平均値と注目画素とから出力を決定する周辺参照型の 2 値化処理を行っており、そのためスプリッターは、2 値化に必要な周辺領域の幅分だけ画素をオーバーラップさせて分割することが記載されている。

50 【 0 0 0 5 】この構成は、画像が N 個の領域に分割されて各々が独立に処理されるため、N 倍に近い高速化が期待できるが、例えばアフィン変換やヒストグラム均等化などのように、参照範囲が広い場合部分領域毎に独立処理できないものには適用できないという欠点がある。そ

ここで、このような参照範囲の広いものも含めて処理を行える手法として、特開平 3 - 4 8 9 7 9 号公報や特開平 6 - 5 2 2 9 6 号公報に述べられた手法が提案されている。

【0 0 0 6】図 3 は、特開平 3 - 4 8 9 7 9 号公報に述べられた構成を説明するものである。画像は入力データベースから複数存在する画像処理モジュールに分割されて入力され、画像処理モジュール中の入力メモリに蓄積されて演算部で処理され、出力メモリに蓄積される。この処理結果は出力データベースを経由して入力データベースに

戻され、画像処理モジュールの 1 つで全画像の濃度統計データ算出など全画像を参照する処理が行われ、それらのデータを元に 2 値化レベルなど次の処理に必要なパラメータが求められて各画像処理モジュールの入力メモリに分配される。その後、各画像処理モジュールは、先の 2 値化レベルなどのパラメータに従って入力メモリに格納された部分画像データを処理する。

【0 0 0 7】この構成では、先の特開平 5 - 2 1 9 3 9 0 号公報に記載された構成ではできなかった広い参照領域を要する処理を可能となるように構成することができる。しかしながら、広い参照領域を要する処理については 1 つの画像処理モジュールで実行するため速度が遅く、さらに処理毎に結果画像を出力メモリ側から入力メモリ側に転送する必要があるため、複数の処理を連続して行う場合には処理速度の低下が生じるという欠点がある。

【0 0 0 8】図 4 は、特開平 6 - 5 2 2 9 6 号公報に述べられた構成の一部を説明するものである。ラインセンサカメラから入力された画像は分配回路で部分画像に分割されてデジタル化され、それぞれ並列にパイプライン処理回路により処理され、フレームメモリに蓄積される。フレームメモリに蓄積された画像は、複数の判定制御回路やメイン判定制御回路により全画像に渡る処理が行われる。

【0 0 0 9】この構成では、判定制御回路を経由して各フレームメモリ間の情報が交換できるために、全面を参照する処理も実行できる。しかしながら、各判定制御回路が他方のフレームメモリ中のデータを参照する必要がある場合に、フレームメモリが分割されているため領域をまたがった制御が複雑になり、またデータの参照にも時間がかかることが予想される。さらに前段のパイプライン処理回路と後段の判定制御回路とが別々に必要であるため、回路規模が大きくなるという欠点がある。またさらに、パイプライン処理回路と判定制御回路との順序関係が固定的であるため、広い参照領域を要する処理を先に行うなどの柔軟な構成が取れないという欠点がある。

【0 0 1 0】

【発明が解決しようとする課題】本発明は、上述した既存方式の問題に鑑みてなされたものであり、部分領域毎

に独立に処理可能な画像処理と、広い参照領域を必要とするため部分領域毎には処理できない画像処理の両方を、並列処理により高速かつ任意の順序で処理できる画像処理装置および画像処理方法を提供することを目的とする。

【0 0 1 1】さらに、部分領域毎の独立の処理と広い参照領域を要する処理の両方の処理のための大規模な回路を持つことなく、回路を有効に利用した並列画像処理装置の提供を目的とする。

【0 0 1 2】

【課題を解決するための手段】上記課題を解決するために、本発明は、画像データを格納する画像記憶手段と、画像記憶手段に格納された画像データの分割領域データを各々入力する複数の分割入力手段と、分割入力手段に入力された分割領域データ各々に対して、分割領域毎に独立に処理可能な画像処理をパイプライン処理により実行する複数の画像処理パイプラインと、複数の画像処理パイプラインの処理結果を統合して画像記憶手段に出力する第 1 の統合処理手段と、画像記憶手段に格納された画像を読み出して広い参照領域を要する画像処理を行う複数の画像処理手段と、複数の画像処理手段の処理結果を統合して画像記憶手段に出力する第 2 の統合処理手段とを具備することを特徴とする画像処理装置を提供する。

【0 0 1 3】また、本発明の画像処理装置における分割入力手段の一実施例は、画像記憶手段に格納された画像をほぼ同じ画素数毎の領域に分割して入力することを特徴とする。

【0 0 1 4】また、本発明の画像処理装置における分割入力手段の一実施例は、画像処理パイプラインの処理の内容に応じて、画像記憶手段に格納された画像を一部重複して入力することを特徴とする。

【0 0 1 5】また、本発明の画像処理装置における第 1 の統合処理手段は、画像処理手段の処理の内容に応じて、出力画像を外側に所定の画素数分だけ拡張して画像記憶手段に格納することを特徴とする。また、本発明の画像処理装置における画像処理手段は、画像記憶手段に格納された入力画像の全体を読み出し可能領域として、出力画像の別々の領域に対応した処理を行うことを特徴とする。

【0 0 1 6】また、本発明の画像処理装置における画像処理手段の各々は、処理の内容に応じて対象画素数がほぼ等しくなるように分割された出力画像の各領域に対して処理を行うことを特徴とする。

【0 0 1 7】また、本発明の画像処理装置は、少なくとも 1 つのプロセッサを擁するマルチプロセスまたはマルチスレッド処理環境に実現され、前記分割入力手段と前記画像処理パイプラインはその組毎に 1 つずつのプロセスまたはスレッドで処理され、前記画像処理手段はそれ

それぞれに 1 つずつのプロセスまたはスレッドにより処理されることを特徴とする。

【 0 0 1 8 】さらに、本発明の画像処理方法は、画像記憶手段に格納された画像データの分割領域データをそれぞれ複数の分割入力手段へ入力するステップと、分割入力手段に入力された複数の分割領域データ各々について、分割領域毎に独立に処理可能な画像処理を、複数の画像処理パイプラインにより並列処理するステップと、複数の画像処理パイプラインの処理結果を統合して画像記憶手段に出力するステップと、画像記憶手段に格納された画像を読み出して複数の画像処理手段により、広い参照領域を要する画像処理を行うステップと、複数の画像処理手段による広い参照領域を要する処理の処理結果を統合して画像記憶手段に出力するステップと、を有することを特徴とする。

【 0 0 1 9 】

【発明の実施の形態】以下、図面に基づき本発明に係わる画像処理装置および画像処理方法の実施の形態について説明する。

【 0 0 2 0 】

【実施例】図 1 は本発明の画像処理装置の実施の形態を示すブロック図である。図 1 において、画像処理装置は、画像データを格納する画像記憶部 1 と、画像記憶部 1 に格納された画像を部分領域毎に分割して入力する複数の分割入力部 2 と、分割入力部 2 からの入力をパイプライン処理する分割入力部 2 と同数の画像処理パイプライン 3 と、画像処理パイプラインにより処理された各部分画像を統合して画像記憶部 1 に格納する第 1 の統合処理部 4 と、画像記憶部 1 に格納された画像を処理する複数の画像処理部 5 と、画像処理部 5 による処理結果を統合して画像記憶部 1 に格納する第 2 の統合処理部 6 とから構成されている。

【 0 0 2 1 】画像記憶部 1 は、画像データを格納する記憶手段であり、メモリやハードディスク装置などにより構成され、分割入力部 1 や画像処理部 5 から読み出され、第 1 ならびに第 2 の統合処理部から画像を入力される。尚、画像記憶部 1 と外部との画像の入出力は、図示されていないスキャナ装置や画像入力 I / F などを経由して行われる。

【 0 0 2 2 】分割入力部 2 は、画像記憶部 1 に格納された画像データを、ほぼ同数の画素を含む部分領域に分割して読み出し、その部分画像データを自身に接続された各画像処理パイプライン 3 に入力する。尚、分割入力部は画像処理パイプラインの処理内容により、図 5 に示すようにお互いに排他的に分割（図 5 (a) ）したり、あるいは処理パラメータに依存した特定の幅でお互いにオーバーラップするように分割（図 5 (b) ）することが可能である。

【 0 0 2 3 】画像処理パイプライン 3 は、分割入力部 2 から入力された部分画像データを、パイプライン方式で

順次処理して第 1 の統合処理部に出力する。画像処理パイプライン 3 は、図 7 に示すように、ユーザが希望する複数の処理モジュールが連結されており、第 1 の統合処理部 4 から指示を受けると、最後段のモジュールから順次手前のモジュールを呼び出し、最前段の処理モジュールが自身に接続された分割入力部 2 を呼び出して処理に必要な画像データを取得する。取得されたデータは、各処理モジュールで処理されながら先の指示と逆方向に画像処理パイプライン 3 を通過し、最終的に第 1 の統合処理部 4 に渡される。この処理は、分割された部分画像全体を一度のフローで行っても、また例えば 1 ライン毎などの部分画像の一部ずつの繰り返しで行ってもよい。

【 0 0 2 4 】第 1 の統合処理部 4 は、画像処理パイプライン 3 に指示を与えて処理を開始させ、出力された処理済の部分画像データを各画像処理パイプラインから受け取り、処理済の画像データ全体が作成されるように位置を合わせてこれらを統合し、画像記憶部 1 に出力する。さらにマルチプロセス環境またはマルチスレッド環境のようなソフトウェアで実現される場合には、処理の始めに予め定められた個数の分割入力部 2 を生成してその入力範囲を設定し、これに予め定められた処理モジュールを生成／連結して画像処理パイプラインを構成する。

【 0 0 2 5 】画像処理部 5 は、第 2 の統合処理部 6 からの指示に従って、画像記憶部 1 に格納された対象画像の全体をアクセスしながら必要な処理を行い、その結果を第 2 の統合処理部 6 に出力する。画像処理部 5 の各々の処理範囲は、第 2 の統合処理部 6 に出力される出力画像上で重ならないように設定される。処理範囲の設定などに関する詳細は後述する。

【 0 0 2 6 】第 2 の統合処理部 6 は、画像処理部 5 に指示を与えて処理を開始させ、出力された処理済の部分画像データを各画像処理部 5 から受け取り、処理済みの画像データ全体が作成されるように位置を合わせてこれらを統合し、画像記憶部 1 に出力する。さらにマルチプロセス環境またはマルチスレッド環境のようなソフトウェアで実現される場合には、処理の始めに予め定められた個数の画像処理部 5 を生成して、その出力処理範囲を設定する。

【 0 0 2 7 】次に、本実施例における各部の詳細を、順を追って説明する。尚、以下の説明では画像は畳み込みフィルタ、色補正、拡大、45 度回転の順に処理され、4 つのプロセッサを持つマルチスレッド環境により実現されているものとして説明を行うが、発明の構成から明らかなように本発明はこれらに限定されるものではなく、他の種類の画像処理を含む場合にも同様に適用可能である。また、プロセッサの数等、各種のハードウェア環境は、以下の実施例に述べる構成に限定されるものではない。

【 0 0 2 8 】処理の対象となる画像データは、初めに図示されていないスキャナや画像入出力 I / F から画像記

10

20

30

40

50

憶部 1 に入力されて格納される。第 1 の統合処理部 4 は、画像記憶部 1 から処理対象となる画像のサイズを取得し、それを各分割入力部 2 に均等に割り付けるための部分領域のサイズと読み出し開始位置を計算する。この時、周辺画素を必要とする処理があるかどうか等に応じて、第 1 の統合処理部 4 は各分割入力部 2 に割り付ける部分領域のサイズと読み出し開始位置について、異なる計算を行う。

【 0 0 2 9 】画像処理パイプライン 3 で行われる処理に周辺画素の参照が不要な場合には、第 1 の統合処理部 4

- ・ 分割領域 1 : (0 , 0) ~ (9 9 , 2 4)
- ・ 分割領域 2 : (0 , 2 5) ~ (9 9 , 4 9)
- ・ 分割領域 3 : (0 , 5 0) ~ (9 9 , 7 4)
- ・ 分割領域 4 : (0 , 7 5) ~ (9 9 , 9 9)

【 0 0 3 1 】画像処理パイプライン 3 で行われる処理に周辺画素の参照が必要な場合には、第 1 の統合処理部 4 は、その分を各分割領域がオーバーラップするように分割する。例えば 5 × 5 畳み込みフィルタを画像処理パイプライン 3 の先頭で処理する場合には、図 5 (b) に示すように、各分割領域はその外側 2 画素づつをオーバーラップして読み出す。尚、分割入力部 2 は、0 より小さい画素／ラインには 0 画素／ラインの値を、1 0 0 以上

- ・ 分割領域 1 : (- 2 , - 2) ~ (1 0 1 , 2 6)
- ・ 分割領域 2 : (- 2 , 2 3) ~ (1 0 1 , 5 1)
- ・ 分割領域 3 : (- 2 , 4 8) ~ (1 0 1 , 7 6)
- ・ 分割領域 4 : (- 2 , 7 3) ~ (1 0 1 , 1 0 1)

【 0 0 3 3 】第 1 の統合処理部 4 は、このようにして各部分領域のサイズと読み出し開始位置を計算した後に、4 つの分割入力部 2 の動作を行う処理モジュールを、部分領域のサイズと読み出し位置をパラメータとして生成

【 0 0 3 4 】生成された分割入力部 2 は、図 6 に示すように、画像記憶部 1 からの画像データの読み出しを行う入力処理部 2 0 と、画像処理パイプライン 3 の先頭の処理モジュールからの呼出しに答え、入力処理部 2 0 が読み出したデータを出力する入力 I / F 部 2 1 と、画像記憶部 1 に格納された処理対象画像中の読み出し位置のアドレスを保持するアドレスポインタや現在の読み出しライン位置を保持するラインカウンタや 1 ラインのバイト数を保持するライン長レジスタなどを持ち、各部を制御する入力制御部 2 2 とから構成される。これら各部は、画像処理パイプライン 3 の先頭の処理モジュールからの呼出しに応じて次のように動作する。

【 0 0 3 5 】画像処理パイプライン 3 の先頭の処理モジュールからの呼出しが起きると、入力 I / F 部 2 1 はその旨を入力制御部 2 2 に通知し、呼出し指示と同時に処理モジュールから渡された画像データを書き込むバッファのポインタを入力制御部 2 2 に送る。入力制御部 2 2 は、入力 I / F 部 2 1 からの通知を受けるとアドレスポインタとライン長レジスタの内容を入力処理部 2 0 に渡

は、単純に全画像を複数の領域に均等分割して部分領域を作成する。例えば、1 0 0 画素 × 1 0 0 ラインの画像を 4 つのスレッドで処理する場合には、4 つの領域に分割する。3 つのスレッドで処理するには、図 5 (a) に示すように 3 つの領域に均等に分割する。1 0 0 画素 × 1 0 0 ラインの画像を 4 つの領域に均等分割する場合は、例えば、以下の表 1 に示すように、対象画像は 1 0 0 画素 × 2 5 ラインづつの 4 つの領域に分割される。

【 0 0 3 0 】

【 表 1 】

の画素／ラインには 9 9 画素／ラインの値を出力するように設定されているものとする。1 0 0 画素 × 1 0 0 ラインの画像を 4 つの領域に各分割領域がオーバーラップするように分割する場合は、例えば、以下の表 2 に示すように、4 つの領域に分割される。

【 0 0 3 2 】

【 表 2 】

すとともに、ラインカウンタを 1 だけインクリメントし、その結果が 0 より大で画像記憶部 1 に格納された画像のライン数より小の場合に、画像 1 ラインのバイト数に相当する数値をライン長レジスタから読み出してアドレスポインタに加算する。入力処理部 2 0 は、入力制御部 2 2 から指示された画像記憶部 1 のアドレスからライン長分のデータを読み出して入力 I / F 部 2 1 から渡されたバッファポインタの領域にそのデータを書き込み、さらに左右に余分な参照画素の付加が必要な場合は左はラインの先頭画素を、右はラインの最終画素をコピーする。その後、入力 I / F 部 2 1 が読み込み処理の終了を画像処理パイプライン 3 の先頭の処理モジュールに通知し、1 回の読み込み処理が終了する。分割入力部 2 は、このような処理を処理モジュールからの呼出しに応じて繰り返す。

【 0 0 3 6 】4 つの分割入力部が生成されると、次に第 1 の統合処理部 4 は画像処理パイプライン 3 を生成する。初めに第 1 の統合処理部 4 は、畳み込みフィルタモジュール 3 0 を 4 つ生成し、それぞれを分割入力部 2 にリンクする。次に色補正モジュール 3 1 を 4 つ生成し、それぞれを先に作成した畳み込みフィルタモジュール 3 0 にリンクする。次に拡大モジュール 3 2 を 4 つ生成し、それぞれを先に作成した色補正モジュール 3 1 にリンクする。このような処理により、図 7 に示すように畳

み込みフィルタ→色補正→拡大を順次行う4つの画像処理パイプライン3が生成される。尚、フィルタサイズ／係数や色補正係数、拡大率などは、生成時のパラメータとして渡される等の方法で各モジュールに与えられる。

【0037】図8は、これら処理モジュールの一例として、色補正モジュール31の内部ブロックを示したものである。色補正モジュール31は、前段の処理モジュールからの入力を受け取るための入力バッファ310と、後段の処理モジュールへの処理済データの出力を行う出力I／F部311と、色処理を行う色補正処理部312とから構成されている。後段の処理モジュールからの呼出しが起きると、出力I／F部はその旨を色補正処理部312に通知し、呼出し指示と同時に後段の処理モジュールから渡された画像データを書き込むバッファのポインタを色補正処理部312に送る。色補正処理部312は、出力I／F部311からの通知を受けると入力バッファのポインタを引数として前段の処理モジュールを呼出して1ライン分の入力データを受け取り、係数レジスタに格納された係数を用いて、ライン長レジスタに格納された数のデータを色補正処理し、ラインカウンタを1だけインクリメントして処理の終了を出力I／F部311に通知する。出力I／F部311は、色補正処理部312からの処理終了通知を受け取ると、後段の処理モジュールに処理終了を通知して1回の色補正処理が終了する。色補正モジュールは、このような処理を後に接続された処理モジュールからの呼出しに応じて繰り返す。

【0038】4つの画像処理パイプラインが生成されると、次に第1の統合処理部4は並列に各画像処理パイプラインを呼び出して、畳み込みフィルタ→色補正→拡大の処理を行う。図9は、第1の統合処理部4の構成を示すブロック図の一例である。第1の統合処理部4は、先に説明した分割入力部2の生成を行う分割入力部生成部40と、同じく先に説明した画像処理パイプライン3の生成を行う画像処理パイプライン生成部41と、生成された各画像処理パイプライン3からの処理結果を画像記憶部1に書き込み位置を制御しながら出力するための制御を行う統合制御部42とから構成されている。先に説明した処理により分割入力部2と画像処理パイプライン3とが生成されると、統合制御部42は、各画像処理パイプラインの最後の処理モジュールに対して呼出しを行う。この時、各統合制御部42は、各分割（処理済）画像データを書き出すための画像記憶部1の領域の先頭アドレスを内部のアドレスポインタに保持し、これを最後の処理モジュールの出力バッファのポインタとして呼出しを行う。呼び出された処理モジュールは、順次自身より前段側の処理モジュールを呼出し、先頭のモジュールは分割入力部2を呼び出して処理に必要なデータを取得し、処理結果を順次後段側のモジュールに返し、最後に統合制御部42を介して画像記憶部1の所定のアドレス

に書き込まれる。この処理が1回終了すると、統合制御部42はラインカウンタを1だけインクリメントし、自分が担当する処理領域の最終ラインを越えていないならばアドレスポインタにライン長レジスタの内容を加算して、再度画像処理パイプライン3の最後のモジュールを呼び出す。このような処理を各部分領域のライン数分だけ繰り返すことで、画像記憶部1には処理済みの全画像データが格納される。尚、この処理は、統合制御部42と画像処理パイプライン3と分割入力部2の組が1つのスレッドで動作し、4つの各組は別々に並列処理されるため、4つ以上のプロセッサを持つ環境では、ほぼ1／4の時間で処理が実行できる。

【0039】上記の処理が終了すると、制御が第2の統合処理部6に移って45度回転が行われる。第2の統合処理部6は、初めに画像記憶部1から処理対象となる画像のサイズを取得し、処理の内容から各画像処理部5の負荷がほぼ均等になるように、出力画像上での処理対象領域を計算する。

【0040】画像を45度回転させる場合に、出力画像を図10（a）のようにラインに平行に同じ矩形に分割して各画像処理部5で処理すると、各画像処理部が担当する画素数に大きな差が生じ、上から1番目と4番目の処理が速く終わるのに対して2番目と3番目が遅くなり、結果として並列化の効果が少なくなってしまう。そこで図10（b）に示すように、各画像処理部5が担当する出力画素数がほぼ均等になるように担当領域を分割することで、ほぼ並列数に見合った高速化が実現できる。具体的には、出力画像の各ラインにおける画像の開始位置と終了位置を計算して各出力ライン中の演算対象となる画素数を求め、部分領域毎のこの画素数の総和がほぼ等しくなるように領域を分割する。

【0041】第2の統合処理部6は、このようにして各出力部分領域のサイズと開始位置を計算した後に、部分領域のサイズと開始位置ならびに各ラインの開始位置と終了位置をパラメータとして、45度回転を行う4つの画像処理部5を生成する。

【0042】生成された画像処理部5は、図11に示すように、画像記憶部1からの画像データの読み出しを行う入力処理部50と、第2の統合処理部6への処理済データの出力を行う出力I／F部51と、画像の回転処理を行う回転処理部52とから構成されている。第2の統合処理部6からの呼出しが起きると、出力I／F部51はその旨を回転処理部52に通知し、呼出し指示と同時に第2の統合処理部6から渡された画像データを書き込むバッファのポインタを回転処理部52に送る。回転処理部52は、ラインカウンタに格納された処理対象ラインに対して、開始／終了画素位置テーブルから開始画素位置と終了画素位置を求め、開始位置から終了位置まで順次係数レジスタに格納された係数を用いて原画像中の対応する画素位置を求め、その画素の値を入力処理部5

0 を経由して画像記憶部 1 から読み出して、出力バッファに書き込む。処理が終了画素位置まで達すると、回転処理部 6 はラインカウンタの値を 1 だけインクリメントして処理の終了を出力 I / F 部 5 1 に通知する。出力 I / F 部 5 1 は、回転処理部 5 2 からの処理終了通知を受け取ると、第 2 の統合処理部 6 に処理終了を通知して、出力画像の 1 ライン分の回転処理が終了する。画像処理部 5 は、このような処理を第 2 の統合処理部 6 からの呼出しに応じて繰り返す。

【 0 0 4 3 】 4 つの画像処理部 5 が生成されると、次に第 2 の統合処理部 6 は並列に各画像処理部 5 を呼び出して 4 5 度回転の処理を行う。図 1 2 は、第 2 の統合処理部 6 の構成を示すブロック図の一例である。第 2 の統合処理部 6 は、先に説明した画像処理部 5 の生成を行う画像処理部生成部 6 0 と、生成された各画像処理部 5 からの処理結果を画像記憶部 1 に書き込み位置を制御しながら出力するための制御を行う統合制御部 6 1 とから構成されている。先に説明した処理により画像処理部 5 が生成されると、統合制御部 6 1 は、各画像処理部に対して呼出しを行う。この時、各統合制御部 6 1 は、各画像処理部からの処理済みデータを書き出すための画像記憶部 1 の領域の先頭アドレスを内部のアドレスポインタに保持し、これを画像処理部 5 の出力バッファのポインタとして呼出しを行う。呼び出された画像処理部 5 は、先の説明のように開始／終了画素位置の間の画素について、原画像上の対応点の値を画像記憶部 1 から読み出して出力し、これが終了するとそのラインの処理結果は第 2 の統合処理部 6 を経由して画像記憶部 1 の処理済み画像を格納するための領域に書き込まれる。この処理が 1 回終了すると、統合制御部 6 1 はラインカウンタを 1 だけインクリメントし、自分が担当する処理領域の最終ラインを越えていないならばアドレスポインタにライン長レジスタの内容を加算して、再度画像処理部 5 を呼び出す。このような処理を各部分領域のライン数分だけ繰り返すことで、画像記憶部 1 には最終的な処理済みの全画像データが格納される。この処理は、統合制御部 6 1 と画像処理部 5 の組が 1 つのスレッドで動作して 4 つの各組は別々に並列処理され、さらに各組が担当する処理対象画素数がほぼ均等になるようライン数を割当てているため、4 つ以上のプロセッサを持つ環境では、ほぼ 1 / 4

【 0 0 4 4 】 本実施例では、畳み込みフィルタ→色補正→拡大→4 5 度回転の順で処理を行ったが、構成から明らかに、4 5 度回転→畳み込みフィルタ→色補正→拡大のように広い参照領域を要する処理が先頭の処理順でも、畳み込みフィルタ→4 5 度回転→色補正→拡大のように広い参照領域を要する処理が間にあるような処理順でも、また広い参照領域を要する処理が複数あっても、同じように並列処理による高速処理が可能である。

【 0 0 4 5 】 また、4 5 度回転→畳み込みフィルタ→色

補正→拡大のように広い参照領域を要する処理が先頭の処理順の場合には、図 1 3 のように構成を変更し、画像処理部 5 の出力を画像処理パイプライン 3 に直接入力できるようにすれば、画像記憶部 1 から読み出したデータを画像処理部 5 で 4 5 度回転処理を実行した後、処理データを画像処理パイプライン 3 に入力し、それぞれのデータについて畳み込みフィルタ→色補正→拡大処理が実行可能となる。この構成によれば、一時的に画像記憶部 1 に全画像データを保持することが不要となり、メモリ領域を節約することが可能となる。

【 0 0 4 6 】 また、本実施例の第 1 の統合処理部 4 ならびに第 2 の統合処理部 6 では、画像処理パイプライン 3 または画像処理部 5 の出力を単に統合して画像記憶部 1 に格納したが、図 1 4 に示すように、次に行う処理に応じて出力画像の周囲に特定の幅の領域を設けて最外郭の画素値と同じ値で埋めるように構成することも可能である。このように構成すると、例えば画像処理部 5 での処理が 9 点 2 次補間を行う 4 5 度回転のように入力画像の外の参照が発生する場合に、第 1 の統合処理部 4 でその分の周辺領域を設けて出力画像を書き込んでおくことで、画像処理部 5 において参照画素位置が画像の外であるかどうかの判断を省略して高速化を図ることが可能となる。

【 0 0 4 7 】 さらに、本実施例は複数のプロセッサを持つマルチスレッド環境で実現するとして説明を行ったが、マルチプロセス環境による実現や、DSP（デジタル・シグナル・プロセッサ）や FPGA（フィールド・プログラマブル・ゲート・アレー）などのプログラム可能なハードウェアによる実現、さらには回路規模が増加するもののゲートアレーなどの固定的なハードウェアにより構成されていてもよい。

【 0 0 4 8 】 また、本実施例では、4 つのプロセッサがある場合に、分割入力部 1 と画像処理パイプライン 3 の組と画像処理部 5 とを同じ 4 つのスレッドで実行したが、例えば PDL（ページ記述言語）の展開処理のように画像だけに全てのプロセッサを割当てられない場合には 4 つ以下のスレッドで実行したり、あるいは他の処理の負荷に応じてスレッド数を可変させるなどの構成も可能である。

【 0 0 4 9 】 また、本実施例では処理をライン単位で行うように構成したが、本発明はこれに限定されるものではなく、画素単位や複数ライン単位、ブロック単位などの各種の処理単位において同様に実施することができる。

【 0 0 5 0 】

【発明の効果】 以上述べたように、本発明の画像処理装置では、畳み込みフィルタ、色補正、拡大など、処理画像の部分領域毎に独立に処理可能なものと、4 5 度回転などの広い参照領域を必要とするために部分領域毎に独立処理できないものの両方について、任意の順序で高速

な処理を行うことができる。さらに、複数プロセッサによるマルチプロセスまたはマルチスレッド環境や、DSP（デジタル・シグナル・プロセッサ）やFPGA（フィールド・プログラマブル・ゲート・アレー）等のプログラム可能なハードウェアにより本発明の構成を実現することで、処理画像の部分領域毎の独立処理と、広い参照領域を必要とする処理のための大規模な回路を持つことなく、回路を有効に利用した並列パイプライン型画像処理装置を提供することができる。

【図面の簡単な説明】

【図 1】 本発明の実施例を示すブロック図である。

【図 2】 既存の画像処理装置の構成を示すブロック図である。

【図 3】 既存の画像処理装置の別の構成を示すブロック図である。

【図 4】 既存の画像処理装置の別の構成を示すブロック図である。

【図 5】 分割入力部 2 における画像の分割を説明する図である。

【図 6】 分割入力部 2 を示すブロック図である。

【図 7】 画像処理パイプライン 3 を示すブロック図である。

【図 8】 色補正モジュール 3 1 を示すブロック図である。

【図 9】 第 1 の統合処理部 4 を示すブロック図である。

【図 1 0】 画像データの回転処理における分割領域の設定を説明する図である。

【図 1 1】 画像処理部 5 を示すブロック図である。

【図 1 2】 第 2 の統合処理部 6 を示すブロック図である。

る。

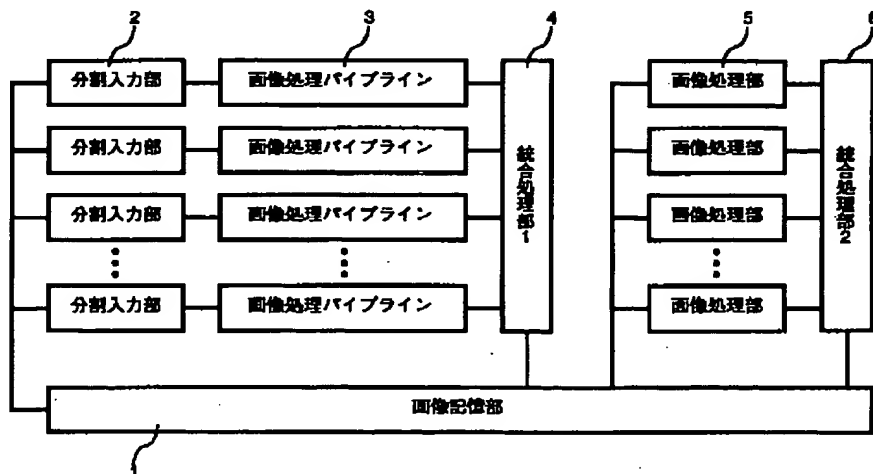
【図 1 3】 本発明の実施例における別の構成を示すブロック図である。

【図 1 4】 第 1 の統合処理部 4 または第 2 の統合処理部 6 における出力方法を説明する図である。

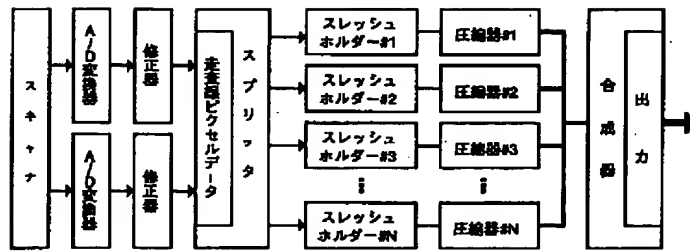
【符号の説明】

1	画像記憶部
2	分割入力部
3	画像処理パイプライン
10 4	第 1 の統合処理部
5	画像処理部
6	第 2 の統合処理部
2 0	入力処理部
2 1	入力 I / F 部
2 2	入力制御部
3 0	畳み込みフィルタモジュール
3 1	色補正モジュール
3 2	拡大モジュール
4 0	分割入力部生成部
4 1	画像処理パイプライン生成部
4 2	統合制御部
5 0	入力処理部
5 1	出力 I / F 部
5 2	回転処理部
6 0	画像処理部生成部
6 1	統合制御部
3 1 0	入力バッファ
3 1 1	出力 I / F 部
3 1 2	色補正処理部

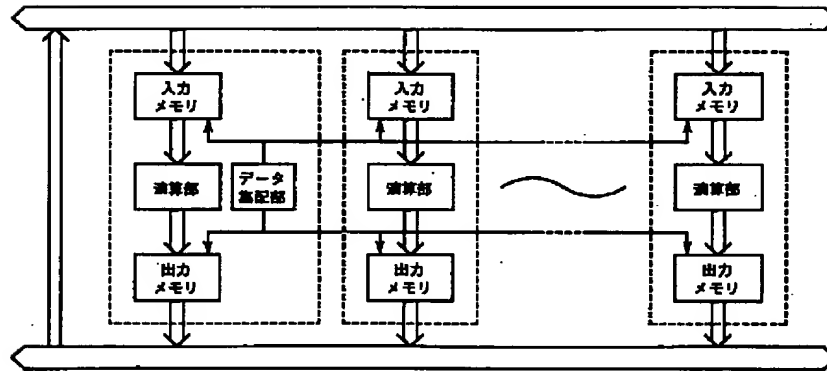
【図 1】



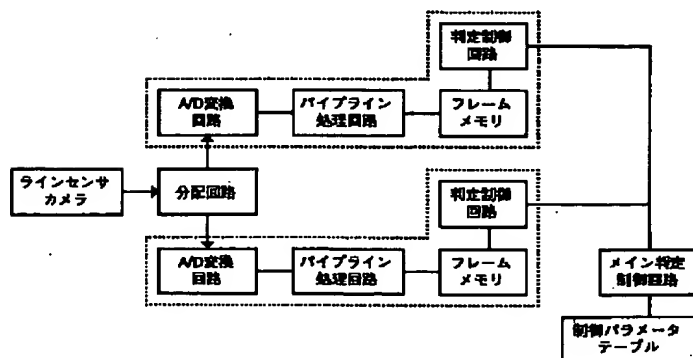
【図 2】



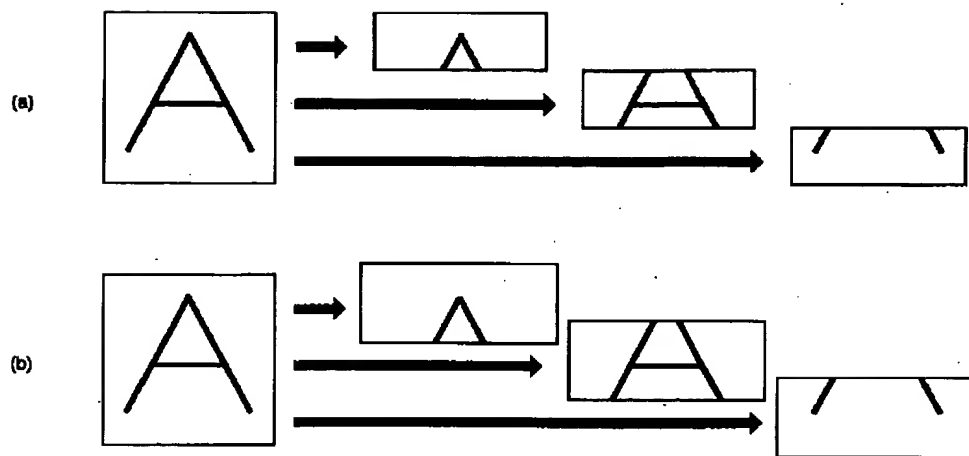
【図 3】



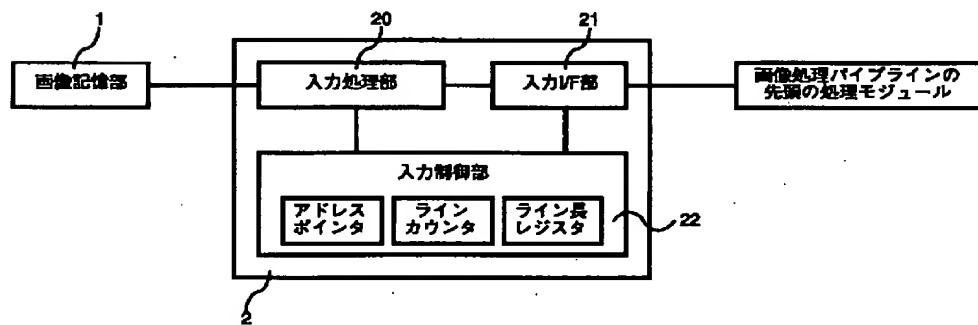
【図 4】



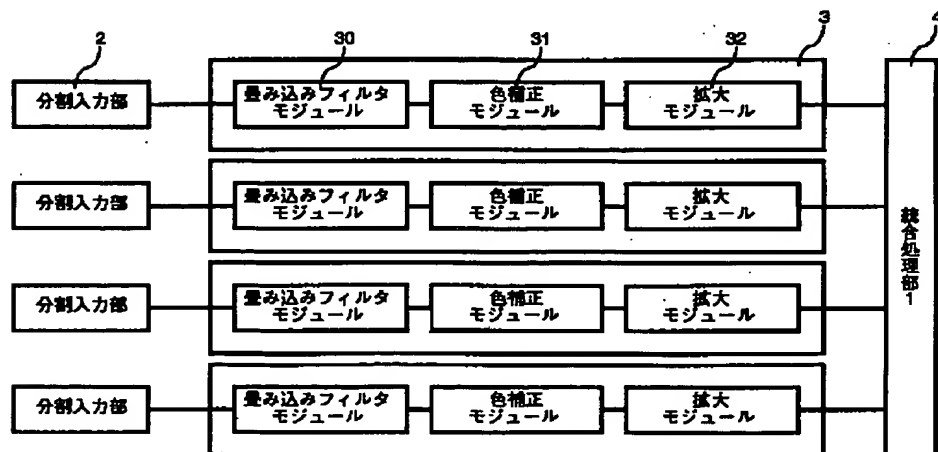
【図 5】



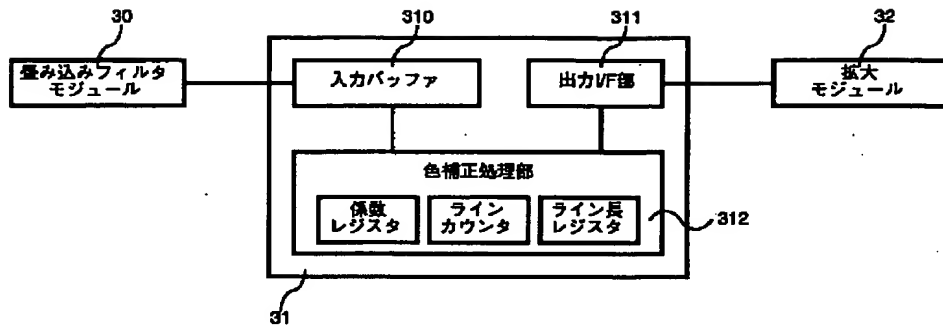
【図 6】



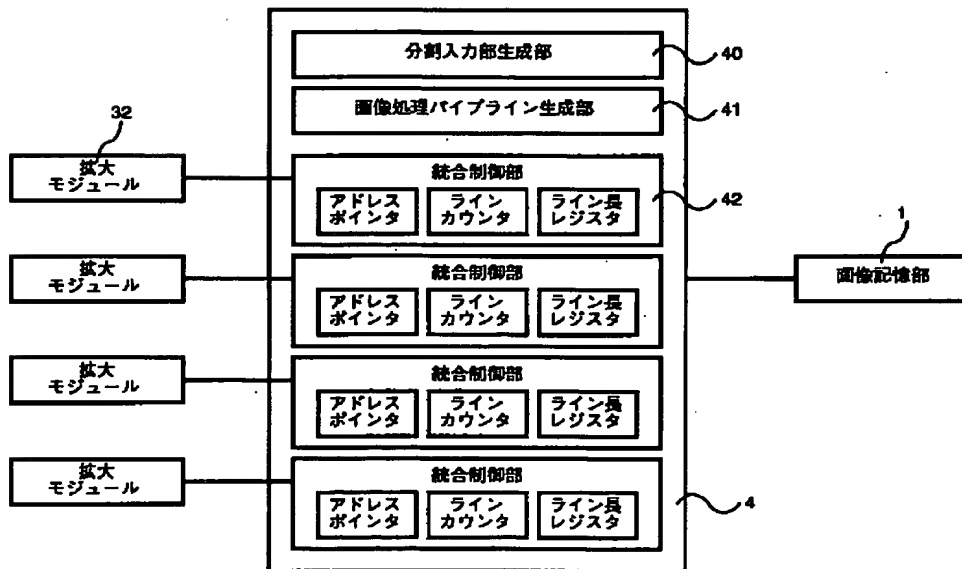
【図 7】



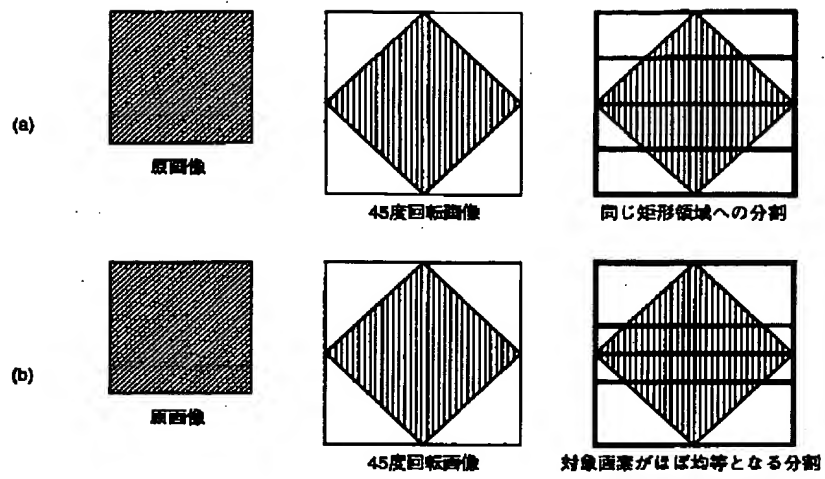
【図 8】



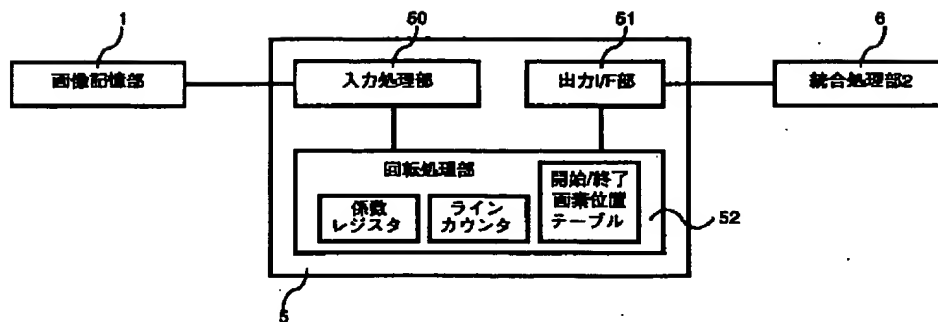
【図 9】



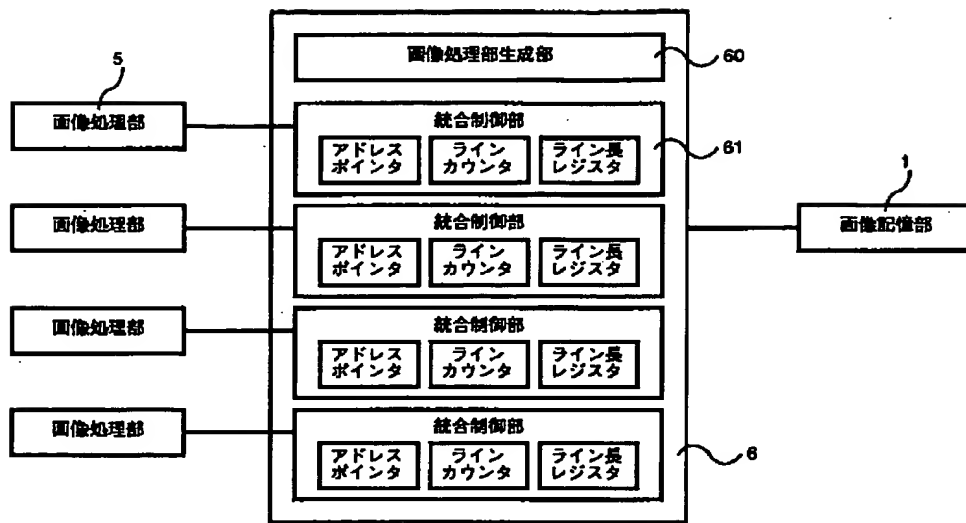
【図 1 0】



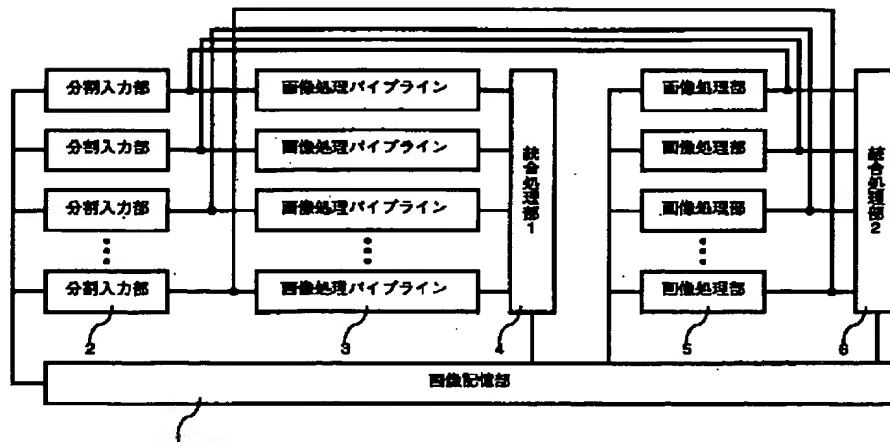
【図 1 1】



【図 1 2】



【図 1 3】



【図 1 4】

